

文章编号:1007-2780(2012)05-0622-06

高灰度视频 OLED 显示控制系统设计与应用

环 翾¹, 惠贵兴², 徐美华^{3*}

(1. 上海飞乐股份有限公司, 上海 200072, E-mail:huan_x@126.com;

2. 上海市电力公司 信通中心, 上海 200030; 3. 上海大学 机电工程与自动化学院, 上海 200072)

摘 要: 在详细分析 AFD 公司 OLED 面板电气特性和各种 OLED 灰度扫描原理的基础上, 对 AM-OLED 扫描驱动电路进行研究, 采用 FPGA 作为核心控制器件, 完成了高灰度 OLED 视频显示系统设计。系统主要包括 DVI 接口信号处理模块、内存管理模块和灰度扫描控制模块, 其中成像核心模块采用子场扫描工作方式; 解码后的 DVI 信号经过一系列处理, 可实时地送到 OLED 屏上显示, 且灰度等级 256 级和 64 级可选。视频 OLED 显示系统实现了 $240 \times \text{RGB(H)} \times 320 \text{(V)}$ QVGA 分辨率, 256 级灰度显示, 帧扫描频率为 60~100 Hz。电源驱动板共有 7 个电源输出, 可根据外部环境来分别进行调节 OLED 屏的亮度, 以实现 OLED 高灰度视频显示。

关 键 词: 有机电致发光器件; FPGA; 灰度控制; 子场扫描; 视频显示

中图分类号: TN27; TP391

文献标识码: A

DOI: 10.3788/YJYXS20122705.0622

Controlling System Design for OLED Video Display with High Gray-Level

HUAN Xuan¹, HUI Gui-xin², XU Mei-hua^{3*}

(1. Shanghai Feilo Co., Ltd, Shanghai 200072, China, E-mail:huan_x@126.com;

2. Information and Communication Technology Service Centre, SMEPC, Shanghai 200030, China;

3. School of Mechatronical Engineering and Automation, Shanghai University, Shanghai 200072, China)

Abstract: Based on the detailed analysis of AM-OLED panel electrical characteristics and various gray scale scanning methods, this paper presents the design method of high gray-scale video OLED(Organic Light-Emitting Diode Display) system. In the system FPGA is used as the core control device after the principle study to the AM-OLED scan and driving circuits. There are three main modules including the DVI data processing unit, the memory management module and the grayscale scanning control unit, and the subfield scanning method is applied in core imaging module. The DVI signal decoded can be displayed on the OLED panel real time (on line) via FPGA core controller, and also the gray scale is selectable, 256 or 64 gray levels. The video display system is implemented on the $240 \times \text{RGB(H)} \times 320 \text{(V)}$ QVGA OLED panel, 256 gray levels, and up to 60 Hz ~100 Hz frame frequency. There are 7 outputs in the power drive, which can be used to adjust the light of the OLED panel to fit the external environment, and this all completed the high gray-scale video OLED system.

Key words: organic light-emitting diode; FPGA; gray-scale control; subfield scan; video display

收稿日期: 2012-04-10; 修订日期: 2012-05-02

基金项目: 上海市经信委基金项目; 上海市引进技术的吸收与创新年度计划(No. 11XI-15)

作者简介: 环翾(1979-), 男, 江苏南通人, 硕士, 高级工程师, 研究方向为数字视频及显示技术、汽车电子技术等。

* 通讯联系人, E-mail: mhxu@shu.edu.cn

1 引 言

有机电致发光现象在 1936 年就被发现,法国人 Destriau 将有机荧光化合物分散在聚合物中制成薄膜,得到最早的电致发光器件^[1]。在 20 世纪 60 年代,Pope 首次在萘单晶上实现了电致发光。直到 1987 年柯达公司首次申请了小分子 OLED 器件双层结构的专利后,推动了有机电致发光薄膜的研究,才使 OLED 技术的前景明朗起来。1997 年美国普林斯顿大学及南加州大学的科学家们,与美国通用显示公司合作研制出首个 OLED 显示器件样品,同年日本东北先锋公司推出 256×64 像素的 OLED 车载显示器;美国摩托罗拉公司则率先将彩色 OLED 应用于无绳手机。2000 年以来,全球掀起了 OLED 研究和开发热潮,原型样品及产品不断推出。

OLED 被认为是 LCD 最强有力的竞争者,2001 年至 2010 年是该技术最重要、最快速的发展时期。OLED 的出现和发展为我国发展面向移动通信产品、车载产品、计算机和电视机的平板显示器提供了新的机遇。国内 OLED 发展受到了政府和相关企业的重视,相关产业化工作已经迅速展开^[1-2]。

本文在详细分析 AFD 公司 OLED 面板电气特性和各种 OLED 灰度扫描原理的基础上,对 OLED 扫描驱动电路进行研究,将其与视频信号处理系统相结合,提出了基于 FPGA 的高灰度 OLED 视频显示系统设计方案;详细研究了 DVI 接口信号处理模块、内存管理模块和灰度扫描控制模块 3 个功能模块的工作原理,完成了整个 OLED 视频系统设计。在此基础上,对主控制器进行了模块化设计,包括 DVI 信号接收模块、DVI 信号写入模块、内存管理模块、扫描模块等,其中成像核心模块采用子场扫描工作方式,灰度等级 256 级和 64 级可选,可实现 OLED 高灰度视频显示。

设计完成了从视频输入到 OLED 显示驱动输出的完整电路系统。整个系统采用 FPGA 作为核心控制器件,解码后 DVI 信号经过一系列处理,实时地送到 OLED 屏上显示。实现了 $240 \times \text{RGB(H)} \times 320 \text{(V)} \text{QVGA}$ 分辨率,256 级灰度显示,帧扫描频率为 $60 \sim 100 \text{ Hz}$ 。电源驱动板共有 7 个电源输出,可根据外部环境来分别进行调节,

以控制 OLED 屏的亮度。

2 OLED 视频显示系统硬件架构

OLED 视频显示系统硬件的结构框图如图 1 所示,其中数据接收模块由 DVI-D 插口、Si11161DVI 数据接收芯片、24LC21A 芯片组成,实现对显卡输出端的 DVI 数字信号的解码^[3-4]。核心控制部分由 CycloneII FPGA 及 SRAM 构成,完成对数据接收模块提供的图像数据、各种场、行信号的接收,并且对数据进行实时存储、格式转换、扫描控制等处理。

在实现时,主要的数字逻辑电路将集中在一块 4 层电路板上,并以紧密的方式布局布线以减少干扰耦合路径,主控制电路包括 FPGA 及其配置电路,DVI 信号转换电路,图像源储存电路,晶振,1.2 V/3.3 V 电源管理电路以及接口插件、按键、指示灯等等。

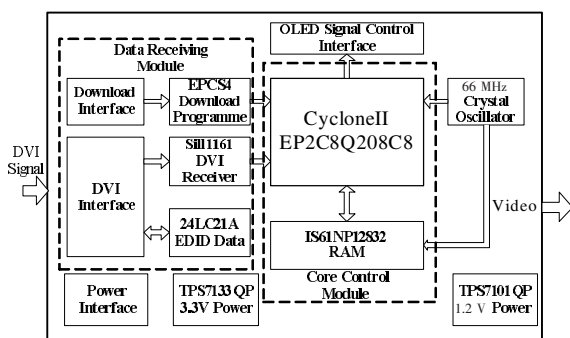


图 1 系统结构框图

Fig. 1 System block diagram

显卡产生的数字信号由发送器按照 TMDS 协议编码后通过 TMDS 通道发送给接收器。DVI 信号接收芯片的功能是:将从 DVI 接口中输出的 TMDS 信号解码为像素时钟信号 CLK, RGB 数据,行同步信号 HSYNC,场同步信号 VSYNC,使能信号 DE 以及控制信号 CTL 等,为后端处理电路提供数据输入^[5-6]。芯片 24LC21A 保存 DVI 显示设备的 EDID 数据(Extended Display Identification Data Standard,扩展显示标识数据),即显示器通过 DDC 传输给电脑主机的标准数据信息,显示卡通过 DDC(显示数据通道)以 I²C 协议从该芯片上读出显示设备的设置信息。FPGA 接收 DVI 数据并转置后,贮存到外部 SRAM 芯片 IS61NP12832,然后采用子场扫描方

法从 RAM 中读出图像数据并输出至 OLED 显示屏上。有源晶振为 66 MHz, 电源管理芯片采用 TPS7133 和 TPS7101, 分别用来提供 3.3 V 和 1.2 V 的电压。

3 核心控制模块设计

高灰度 OLED 显示屏驱动电路系统主控制模块内部结构如图 2 所示, 包括 DVI 接收模块、DVI 写入模块、内存管理模块以及扫描模块等。核心控制模块主要完成以下逻辑操作: (1) 动态图像数据的同步和转换; (2) 数据提取和数据缓存; (3) 扫描驱动电路的控制。

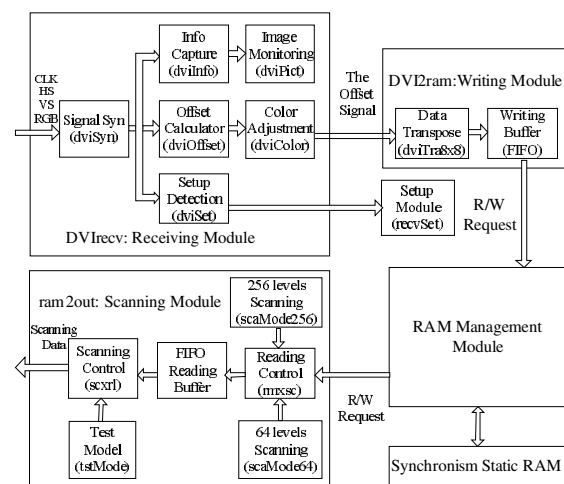


图 2 主控制模块结构图

Fig. 2 Structure diagram of core control module

3.1 DVI 信号接收与写入

DVI 信号接收模块主要包括输入同步模块 (dviSyn), 视频信息提取模块 (dviInfo), 偏移计算模块 (dviOffset), 参数设置模块 (dviSet) 等。DVI 信号的接收芯片采用 Silicon Image 公司的 SiI1161 (DVI 双通道宽带宽数字内容保护接收芯片)。DVI 接收模块的输入信号是直接来自 SiI1161 的信号, 包括源图像时钟 dCLK, 源图像数据有效 dDE, 源图像行回扫信号 dHS, 源图像列回扫信号 dVS, 源图像红绿蓝像素 dQE。其中 dQE 与 SiI1161 输出的数据信号 QE 对应, 为 24 位。输出信号是来自于 dviOffset 的信号, 输出至 DVI 信号写入模块, 包括 dvi 偏移后的行地址信号 xAR, dvi 偏移后的列地址信号 xAC, dvi 偏移后的同一像素兰绿红三色信号 xBGR (24 位), dvi 偏移后的数据有效信号 xDE。

DVI 信号接收模块输出的信号通过 DVI 信号写入模块 DVI2ram 进行转置处理后, 行列地址各为 12 位, DVI 信号写入模块将数据按照行列地址递增地送出, 以驱动有源 OLED 屏幕显示。

(1) 视频信息提取模块 (dviInfo)

视频信息提取模块 dviInfo 的作用是检测 DVI 分辨率等信息。它的输入是来自输入同步模块; 输出为分析所得的 DVI 信息, 包括每行有效列 (如 1 024), 每帧有效行 (如 768), 每行所有列 (如 1 344), 每帧所有行 (如 806), 以上信号都是 12 位。此模块的作用是检测图像源的分辨率信息等, 输出信号全部在 dCLK 上升沿时同步输出, 其设计原理如图 3 所示。

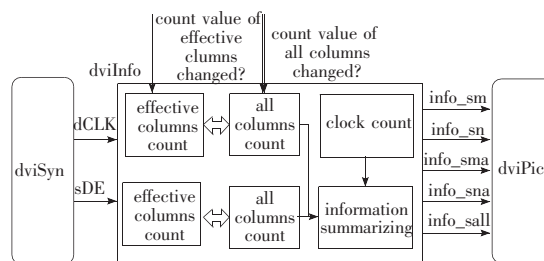


图 3 视频信息提取模块

Fig. 3 Video information extraction module

(2) 偏移计算模块 (dviOffset)

因为需要驱动来自于 43 cm (17 in) CRT 的图像, 其屏幕尺寸与系统设计的 OLED 屏幕不匹配, 只是 1:1 地映射到 OLED 屏上。因此须设计一个 dviOffset 模块, 来计算图像的偏移量以正确映射到 OLED 显示屏上。它的输入来自于 dviSyn 的信号。输出为偏移后的信号, 包括 xAR, xAC, xBGR 和 xDE, 设计原理如图 4 所示。

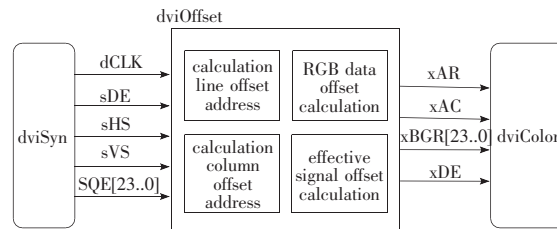


图 4 偏移计算模块

Fig. 4 Offset calculation module

(3) 参数设置模块 (dviSet)

参数设置模块的输入来自于输入同步模块的信号。输出有两个, 分别为设置参数信号 setData

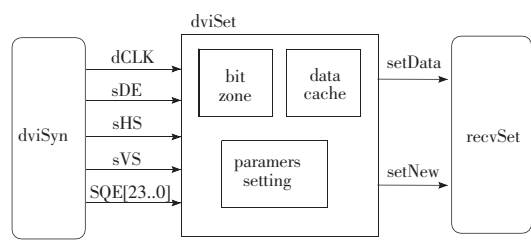


图 5 参数设置模块

Fig. 5 Parameters setting module

(48 位)和设置有效脉冲 setNew,模块设计如图 5 所示。

(4) 像素转置模块(dviTra8×8)

像素转置模块原理图如图 6 所示,该模块在从接收模块获取有效的数据后,为了方便后续的扫描,通过像素转置模块将数据进行预先的调整。在数据转置模块中,采样有效的相邻 8 个像素点进行转置。每次转置都需要预缓冲相邻 8 个像素的 RGB 数据,转置后每个像素点的行列地址仍然不变,转置后的数据保存到 FIFO 缓冲区中,等候最后写入到外部 SRAM 中。

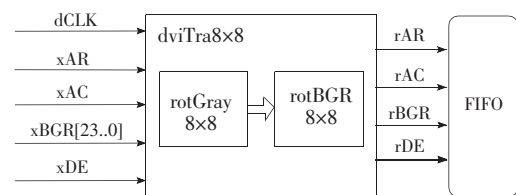


图 6 像素转置模块

Fig. 6 Pixel transpose module

3.2 内存管理

系统采用位平面法 (bit plane method) 将不同像素的同权位组合在一起,存放在地址连续的存储体中,然后利用子场扫描方法,完成整个数据的重新组合,重现多灰度图像。

内存管理模块的功能是将信号保存以用于显示扫描、控制片外内存的读写、存储分场数据,并将其写入 OLED 屏。帧缓冲存储器采用双帧存结构(乒乓结构),即 A、B 两组帧存储器分别用于图像数据接收和图像的扫描,交替进行工作,以防止在扫描过程中丢失新的数据。FPGA 将采集并经分场处理的一帧图像存储于帧存 A 中,同时读出帧存 B 中的另一帧分场图像至 OLED 显示屏用于显示。当一帧图像存储/读出完之后,两片帧存通过控制模块进行总线切换,帧存 A 中的数据

读出至显示屏,帧存 B 用于存储下一帧分场图像。每组帧存的奇(偶)SDRAM 按逻辑地址分成 8 块,分别用于储存 8 个分场的一帧图像数据。

在第一组 RAM 处于写状态时,其地址总线与写地址发生器相连,数据总线与数据输出总线相连,在写地址发生器的控制下分别把 8 个子场的图像数据写入 RAM 的相应单元地址。在下一个场标志信号 GNT 到来,第一组 RAM 被切换为读状态,第二组 RAM 为写状态。这样有利于在高速读出 RAM 时采用连续地址。RAM 切换单元电路的 I/O 接口包括地址发生器的接口、数据输入输出、aRAM 和 bRAM 接口及场标志输入信号。

内存管理模块 ram32SVA 原理如图 7 所示,输入包括 aRAM 和 bRAM 的接口信号,输出信号为外部 RAM 的接口信号,包括 pinA、pinCE、pinWEn 和 pinOEn 等。ramSVA 内存管理模块协调来自 DVI 端的写请求与来自扫描端的读请求,以请求/授权模式仲裁外部 SRAM 的访问权,以达到最大的内存访问吞吐率。

图 7 中的 aaREQ 和 bbREQ 分别是两个输入模块的请求访问 SRAM 的请求信号,而 aaGNT 和 bbGNT 分别是对两个输入模块的请求信号仲裁后授予访问 SRAM 的使用权信号。整个仲裁过程分成 3 个阶段:首先判断 SRAM 是否已被占用,如果 aaGNT 或者 bbGNT 有效表示 SRAM 正在被访问中,否则 SRAM 处于空闲状态。然后检查是否有请求信号,即 aaREQ 和 bbREQ 是否被拉高,如果被拉高说明有访问 SRAM 的请求,当 SRAM 处于空闲状态时,访问请求被受理,aaGNT 或者 bbGNT 给与相应的授权信号。最后当内存访问结束时,即 aaREQ 或者 bbREQ 无效时,aaGNT 或者 bbGNT 授权结束,SRAM 重新回到空闲状态。SRAM 访问控制模

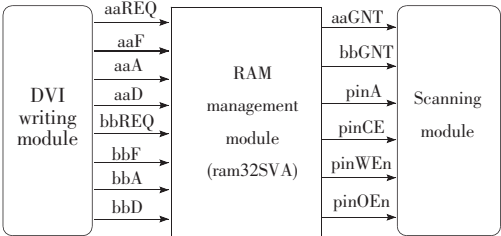


图 7 内存管理模块

Fig. 7 Memory management module

块中 aaREQ 的优先级高于 bbREQ, 当 aaREQ 和 bbREQ 同时提出申请时, 优先处理 aaREQ, 即来自异步 FIFO 缓冲器的写输入请求。

3.3 扫描成像

扫描成像模块采用子场扫描工作方式,灰度等级 256 级和 64 级可选,可实现 OLED 高灰度视频显示。扫描模块(ram2out)原理如图 8 所示,输入信号为系统时钟信号 oscCLK, rstn, 来自 RAM 的 rstF, rstA [16:0], rstQ [23:0], rstRead, rstWrite, bbrstNew, 和测试信号 tsetData [47:0], tsetNew。输出信号包括与 bRAM 的接口信号和驱动面板所需的信号 SCK, SCKB, SSP, PWC, GCK, GCKB, G1SP, G2SP, MR [8:1], MG [8:1], MB [8:1], MNC [4:3]。

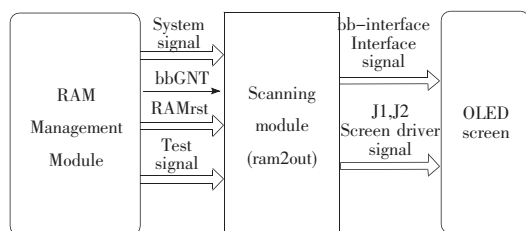


图 8 扫描模块

Fig. 8 Scanning module

系统设计中,有源 OLED 显示屏的扫描频率为 100 或 60 帧两种可选,每一帧有 11 个子场,其中前 10 个子场为数据场,最后的 DS 子场相当于空白拼接,用于填充使得每秒正好满 100 或 60 帧,10 个数据子场 SF(Sub-Field)依次为 SF3、SF11、SF4、SF21、SF12、SF5、SF13、SF22、SF14、SF6,每个子场都需要传输 320 行的数据和 16 个

空白回扫行,而每行需传输 30 次数据和 6 次回扫空白列,由于每个 SCK/SCKB 时钟传输 24 位数据,故每行的 30 次可传输 $240 \text{ 列} \times 3 \text{ 色}$ 的数据。

在 10 个子场中, SF11 至 SF14 都对对应最高权值(权值 32)的灰度数据, 每一场点亮 168 个时间单位(记为最大显示时间), SF21 至 SF22 对应次高权值(权值 16)的数据, 每一场同样点亮 1 个最大显示时间, SF3 对应权值为 8 的数据, 也点亮 1 个最大显示时间, SF4 对应权值 4, 点亮 $1/2$ 个最大显示时间(84 个时间单位, 由 G2SP 关闭剩余时间的显示), SF5 对应权值 2, 点亮 $1/4$ 个最大显示时间(42 个时间单位), SF6 对应权值 1, 点亮 $1/8$ 个最大显示时间(21 个时间单位)。成像核心模块的内部结构如图 9 所示。与有源 OLED 显示屏的接口相接的 SCK、SCKB、GCK、GCKB、G1SP、G2SP 控制信号及行列地址信号均由地址生成模块完成。地址序列的生成依靠三组计数器, 即列计数器、行计数器和子场计数器。列计数器的计数范围为 $0\sim 35$, 行计数为 $0\sim 337$, 子场则为 $0\sim 10$, 这就对应了本系统中的有源 OLED 显示屏的行列尺寸大小和子场划分。地址生成电路产生的列地址(RowAddr)、行地址(ColAddr)、位权地址(BitAddr)送入读请求模块, 请求对 SRAM 存储器读取相应地址的 RGB 数据放入写缓冲模块中, SCK 等控制信号经过一定延时也同样写入缓冲区, 和对应地址的 RGB 数据一起写入双口 RAM 中, 最后通过读缓冲和一些同步步骤送到有源 OLED 显示屏上。为了防止读取缓存的溢出, 特增加了一个缓存数据对比环节, 并将比较结果形成标志位控制地址的生成。扫描控制模

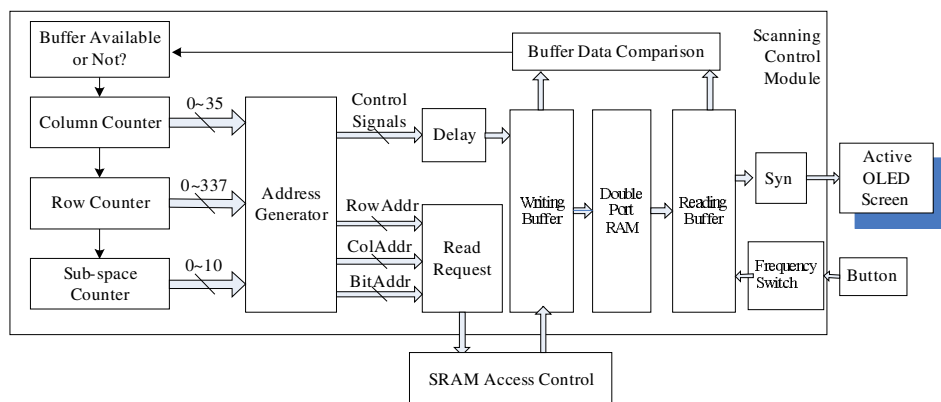


图 9 成像核心模块结构

Fig. 9 Imaging module structure diagram

块中还可以通过开关选择特定的帧频速率,通过控制读写数据的速率来控制送给有源 OLED 屏的数据速度调节帧频。

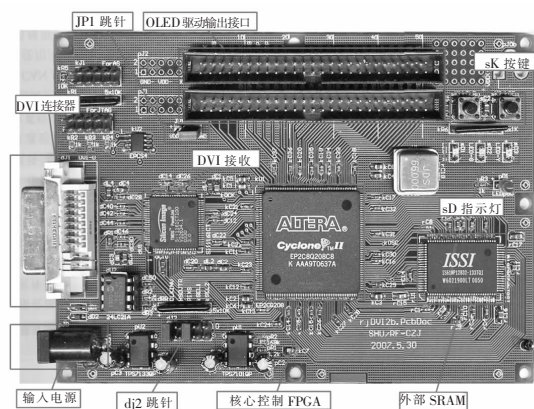


图 10 高灰度 OLED 显示控制器

Fig. 10 High gray-level OLED controller

将所设计的高灰度 OLED 显示屏核心控制模块(如图 10 所示)用于 OLED 视频显示系统中,首先将标准格式输入的数字视频数据进行变换处理,然后将经变换过的视频数据按照用户定义的灰度扫描规则生成扫描信号并驱动 OLED 显示屏,将视频信号实时地送到 OLED 屏上显示。

4 结 论

系统实现了 $240 \times \text{RGB(H)} \times 320 \text{(V)}$ QVGA 分辨率,256 级灰度显示,帧扫描频率达到 $60 \sim 100 \text{ Hz}$,16777216 彩色像素显示。电源驱动板共有 7 个电源输出,可根据外部环境调节 OLED 屏的亮度,以实现 OLED 高灰度视频显示。实验结果证明所设计的系统具有高灰度、高刷新率特点,显示效果良好。

参 考 文 献:

- [1] 文尚胜,张剑平. OLED 背光源技术研究进展 [J]. 半导体技术,2011,36(4):273-279.
- [2] 李奇奋,李妥,陈志良. 用于 AM-OLED 显示屏控制的 MDDI 数据处理芯片设计 [J]. 液晶与显示,2011,26(6):801-807.
- [3] 徐志军,徐光辉. CPLD/FPGA 的开发与应用 [M]. 北京:电子工业出版社,2002:162-173.
- [4] 王伶俐,周学功,王颖. 系统级 FPGA 设计与应用 [M]. 北京:清华大学出版社,2011:116.
- [5] 徐美华,冉峰,陈章进. 基于分形 IP 核的平板显示控制器设计与应用 [J]. 固体电子学与进展,2010,30(3):418-424.
- [6] 陈章进. 平板显示器扫描模型与理论研究 [D]. 上海:上海大学博士学位论文,2009.

《液晶与显示》关于作者署名的通告

针对目前论文署名比较随便,论文作者要求增减合著者或改变排名顺序的情况时有发生,本刊编辑部特提请文章作者注意:论文署名是一件十分严肃的事情。在论文上署名的作者应为参与论文撰写或对论文所涉及的研究工作有贡献的人,所有署名作者均应对文章内容负责。凡合著的文章,投稿前应仔细斟酌,考虑周全,并征得所有合作者的同意,同时应写明联系人。署名及排序在投稿后确实需要改变时,应由联系人向编辑部出示有关合著者同意并签名(盖章)的函件。否则,编辑部有权拒绝其要求。

《液晶与显示》编辑部